

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tsutomu HATAKEYAMA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: CACHE MEMORY, PROCESSOR AND CACHE CONTROL METHOD

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of **35 U.S.C. §120**.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:
Application No. _____ **Date Filed** _____

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2002-315896

MONTH/DAY/YEAR

October 30, 2002

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. _____ filed _____

☐ were submitted to the International Bureau in PCT Application Number _____

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and

☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月30日

出 願 番 号

Application Number:

特願2002-315896

[ST.10/C]:

[JP 2002-315896]

出 願 人

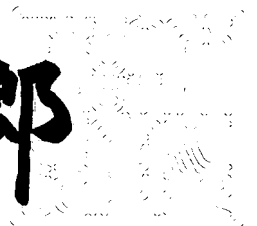
Applicant(s):

株式会社東芝

2003年 6月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3042984

【書類名】 特許願

【整理番号】 13772601

【提出日】 平成14年10月30日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 7/00

【発明の名称】 キャッシュメモリ、プロセッサ及びキャッシュ制御方法

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 畠 山 努

【特許出願人】

【識別番号】 000003078

【住所又は居所】 東京都港区芝浦一丁目1番1号

【氏名又は名称】 株式会社 東 芝

【代理人】

【識別番号】 100075812

【弁理士】

【氏名又は名称】 吉 武 賢 次

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 キャッシュメモリ、プロセッサ及びキャッシュ制御方法

【特許請求の範囲】

【請求項 1】

メインメモリとのデータの一貫性を要求するデータを格納可能なデータ格納部を備えたキャッシュメモリにおいて、

前記データ格納部のうちプログラマにより指定されたデータ領域に、前記メインメモリとのデータの一貫性を要求しないデータを格納する制御を行う格納制御部を備えることを特徴とするキャッシュメモリ。

【請求項 2】

前記格納制御部は、

前記メインメモリとのデータの一貫性を要求しないデータを格納するための前記データ領域のアドレスを指定する領域指定部と、

指定されたアドレスが前記領域指定部で指定されたアドレスに一致するか否かを判定するアドレス一致判定部と、を有することを特徴とする請求項 1 に記載のキャッシュメモリ。

【請求項 3】

前記データ格納部に格納される各データのアドレスを格納するタグ部を備え、

前記データ格納部及び前記タグ部は、それぞれ複数のインデックスからなる複数のウェイ (Way) で構成され、

前記領域指定部は、一つの前記ウェイを単位として、対応する前記データ領域部に前記メインメモリとのデータの一貫性を要求しないデータを格納するか否かを指定することを特徴とする請求項 2 に記載のキャッシュメモリ。

【請求項 4】

前記データ格納部のリフィルの履歴情報を格納するリフィル情報格納部と、

前記リフィル情報格納部に格納された履歴情報と前記領域指定部で指定されたアドレスとに基づいて、リフィルすべきウェイを選択するリフィル対象選択部と、を備えることを特徴とする請求項 3 に記載のキャッシュメモリ。

【請求項 5】

前記領域指定部は、

前記メインメモリとのデータの一貫性を要求しないデータを格納するデータ領域のアドレスを設定するアドレス設定部と、

前記アドレス設定部に所定のアドレスを設定したか否かを示すフラグ情報を記憶する設定情報記憶部と、を各ウェイごとに有し、

前記リフィル対象選択部は、前記リフィル履歴情報と前記フラグ情報とに基づいて、リフィルすべきウェイを選択することを特徴とする請求項4に記載のキャッシュメモリ。

【請求項6】

前記メインメモリ及び前記キャッシュメモリが共通のシステムバスに接続されるルック・アサイド (Look-Aside) 型接続方式で、かつCPUが前記メインメモリ及び前記キャッシュメモリに同時にデータを書き込むライト・スルー (Write-through) 書き込み方式を採用することを特徴とする請求項1及至5のいずれかに記載のキャッシュメモリ。

【請求項7】

メインメモリ及びキャッシュメモリが共通のシステムバスに接続されるルック・アサイド (Look-Aside) 型接続方式で、かつ前記メインメモリ及び前記キャッシュメモリに同時にデータを書き込むライト・スルー (Write-through) 書き込み方式を採用するプロセッサであって、

前記キャッシュメモリは、

前記データ格納部のうち、プログラマにより指定されたデータ領域に、前記メインメモリとのデータの一貫性を要求しないデータを格納する制御を行う格納制御部を備えることを特徴とするプロセッサ。

【請求項8】

メインメモリ及びキャッシュメモリが共通のシステムバスに接続されるルック・アサイド (Look-Aside) 型接続方式で、かつ前記メインメモリ及び前記キャッシュメモリに同時にデータを書き込むライト・スルー (Write-through) 書き込み方式を採用するキャッシュ制御方法であって、

前記データ格納部のうち、プログラマにより指定されたデータ領域に、前記メ

インメモリとのデータの一貫性を要求しないデータを格納する制御を行うことを特徴とするキャッシュ制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、キャッシュメモリと、このキャッシュメモリを内蔵するプロセッサと、キャッシュメモリのキャッシュ制御方法とに関する。

【0002】

【従来の技術】

CPUの動作速度は、年々高くなる傾向にあるが、メモリはCPUほどには高速動作できないため、両者の速度差を埋めるために、キャッシュメモリを設けるのが一般的である。

【0003】

キャッシュメモリには、原則として、メインメモリに格納された、あるいは格納されるべきデータの一部が格納され、キャッシュメモリ内のデータは、メインメモリ内のデータと一貫性が維持される。したがって、キャッシュメモリに格納されたデータで、まだメインメモリに格納していないデータは、キャッシュメモリを更新する前に、メインメモリへの書き戻しを行わなければならない。

【0004】

【発明が解決しようとする課題】

通常のキャッシュメモリは、複数のインデックスを持つウェイを複数並列に並べて構成されている。

【0005】

キャッシュメモリは、メインメモリよりも高速のメモリであるが、CPUが実行するプログラムによっては、キャッシュミスが起こる確率が非常に高くなる。特に、ウェイの数よりも多くの異なるアドレスに対して連続的にアクセスする場合、キャッシュミスが連続的に起こることになり、メモリアクセスに余計な時間がかかってしまう。

【0006】

このように、プログラムによっては、キャッシュメモリの高速性能が生かされないおそれがある。

【0007】

本発明は、このような点に鑑みてなされたものであり、その目的は、メインメモリとのデータの一貫性を維持するという目的以外の目的でも利用可能なキャッシュメモリ、この種のキャッシュメモリを内蔵するプロセッサ及びキャッシュ制御方法を提供することにある。

【0008】

【課題を解決するための手段】

上述した課題を解決するために、本発明は、メインメモリとのデータの一貫性を要求するデータを格納可能なデータ格納部を備えたキャッシュメモリにおいて、前記データ格納部のうちプログラマにより指定されたデータ領域に、前記メインメモリとのデータの一貫性を要求しないデータを格納する制御を行う格納制御部を備える。

【0009】

【発明の実施の形態】

以下、本発明に係るキャッシュメモリ、プロセッサ及びキャッシュ制御方法について、図面を参照しながら具体的に説明する。

【0010】

図1は本発明に係るキャッシュメモリ21の一実施形態の内部構成を示すブロック図である。図1のキャッシュメモリ21は、アドレスの中位ビット列（インデックス）でキャッシュラインの置き換え候補が一意に決まる図2のようなダイレクトマップキャッシュを複数並列に並べ、複数（ n 個のウェイ数分）の置き換え候補を有する図3のような n -Wayセット・アソシアティブ・キャッシュである。

。

【0011】

図2及び図3の升目の一つ一つがキャッシュラインに相当し、あるアドレスが指定されると、そのアドレスの中位ビット列（インデックス）に対応する n 個のウェイそれぞれのキャッシュラインがアクセスの候補となる。キャッシュメモリ

21は、インデックスを単位としてアクセスされる。

【0012】

本実施形態のキャッシュメモリ21のデータ容量は、キャッシュラインのサイズ×インデックス数×ウェイ数で表される。

【0013】

図1のキャッシュメモリ21は、大きく分けて、データを格納するデータメモリ1と、各データのアドレス情報を格納するタグメモリ2と、キャッシュメモリ21にヒットしたか否かを判定するキャッシュ制御部3とを備えている。

【0014】

タグメモリ2は、各ウェイごとに設けられて対応するPFNをそれぞれ格納する複数のPFN部4と、キャッシュメモリ21のリフィル情報を格納するリフィル情報格納部5とを有する。リフィル情報格納部5は、例えば各インデックスごとに設けられる。

【0015】

ここで、リフィル情報とは、過去にどのような順番で各ウェイのリフィルが発生したかを示す情報である。例えば、2つのウェイが存在する場合、最近リフィルされたウェイが0であれば、リフィル情報格納部5に0を格納し、最近リフィルされたウェイが1であれば、リフィル情報格納部5に1を格納するものとする（ただし、これは一例にすぎない）。

【0016】

この状態で、あるインデックスによるキャッシュアクセスがミスして、リフィルが発生したとし、そのインデックスに対応するリフィル情報格納部5が0であったとする。この場合、次のリフィル時には、ウェイ1を置き換えるとともに、リフィル情報格納部5に1を格納する。

【0017】

このようにすれば、その後に、同じインデックスについてのリフィルが発生したときに、リフィル情報格納部5に1が格納されているので、リフィルを行ってからの経過時間が長いウェイ0を置き換えることになる。

【0018】

なお、リフィル情報格納部 5 は、インデックスごとに設けてもよいし、PFN部 4 ごとに設けてもよい。

【 0 0 1 9 】

複数のPFN部 4 のそれぞれはインデックスで指定される複数の領域を有し、これら各領域には、アドレスの上位アドレス (PFN) が格納される。

【 0 0 2 0 】

タグメモリ 2 は、図 1 に示した構成以外に、キャッシュラインが有効であることを示すValidビットなどの種々のフラグを有するが、本実施形態の動作に直接関係しないため、説明を省略する。

【 0 0 2 1 】

また、図 1 では、データメモリ 1 の内部構成を省略しているが、データメモリ 1 も、タグメモリ 2 と同様に、複数のインデックスからなるウェイを複数並列に並べて構成されている。

【 0 0 2 2 】

キャッシュ制御部 3 は、ヒット検出器&エンコーダ 6 と、固定アドレスメモリ指定部 7 と、リフィル対象生成器 8 とを有する。

【 0 0 2 3 】

ヒット検出器&エンコーダ 6 は、指定されたアドレスのPFNが、同アドレスのインデックスに対応する各PFN部 4 内のPFNと一致するか否かを判定し、一致 (ヒット) したPFN部 4 を特定する。固定アドレスメモリ指定部 7 は、キャッシュメモリ 2 1 の一部を、メインメモリとのデータの一貫性を要求しない固定アドレスメモリとして使用する場合に、固定アドレスメモリとして使用するアドレス (以下、固定アドレスと呼ぶ) を指定するとともに、外部から指定されたアドレスが固定アドレスと一致するか否かを判定する。

【 0 0 2 4 】

固定アドレスメモリ指定部 7 は、より詳細には、固定アドレスを格納する固定アドレス格納部 9 と、固定アドレスを格納したか否かを示すフラグ情報を格納する固定アドレスフラグ格納部 1 0 と、PFN部 4 に格納されたPFNと固定アドレスとのいずれか一方を選択するマルチプレクサ 1 1 とを、各ウェイごとに有する。

【 0 0 2 5 】

固定アドレス格納部 9 と固定アドレスフラグ格納部 1 0 は、後述するように、プログラムに記述されたストア命令で指定された値を格納する。したがって、固定アドレス格納部 9 と固定アドレスフラグ格納部 1 0 に格納される値は、プログラマが任意に指定可能である。

【 0 0 2 6 】

固定アドレスメモリは、メインメモリや I/O デバイス用に現実に割り当てられているアドレス範囲とは別個のアドレス範囲に割り当てられる。このように割り当てられたアドレス範囲内の任意のアドレスをプログラマは指定できる。

【 0 0 2 7 】

リフィル対象生成器 8 は、リフィル情報格納部 5 に格納されているリフィル情報と固定アドレスフラグ格納部 1 0 に格納されているフラグ情報とをパラメータとする関数 $f(R, C)$ に従って、キャッシュすべきウェイを選択する。関数 $f(R, C)$ の具体的な形式は特に問わないが、例えば、最後にリフィルを行ってからの経過時間が最も長いウェイを選択するようにしてもよい。

【 0 0 2 8 】

キャッシュメモリ 2 1 の接続方式として、Look-Aside型とLook-through型がある。Look-Aside型は、図 4 に示すように、キャッシュメモリ 2 1 とメインメモリ 1 2 がともに直接システムバスに接続されている方式である。一方、Look-through型は、図 5 に示すように、CPU 1 3 - キャッシュメモリ 2 1 間、及びキャッシュメモリ 2 1 - メインメモリ 1 2 間がそれぞれ専用のバスを持つ方式である。

【 0 0 2 9 】

また、キャッシュメモリ 2 1 の書き込み方式として、Write-through書き込み方式とWrite-back書き込み方式とがある。Write-through書き込み方式は、キャッシュメモリ 2 1 に対してデータを書き込む際に、同時にメインメモリ 1 2 にもデータを書き込む方式である。一方、Write-back書き込み方式は、メインメモリ 1 2 よりも先にキャッシュメモリ 2 1 にデータを書き込み、データを書き込んだキャッシュラインを書き換えるときにメインメモリ 1 2 への書き戻しを行う方式である。

【 0 0 3 0 】

本実施形態は、Look-Aside型の接続方式とWrite-through書き込み方式とを組み合わせたキャッシュメモリ 2 1 を用いる。これにより、メインメモリ 1 2 とキャッシュメモリ 2 1 との間でデータの一貫性を維持でき、キャッシュメモリ 2 1 内の一部のウェイを固定アドレスメモリとして利用しても、データの一貫性が崩れるおそれはない。

【 0 0 3 1 】

図 6 は本実施形態のキャッシュメモリ 2 1 の一部を固定アドレスメモリとして使用するプログラムの一例を示す図である。図 6 の例では、ラインサイズが 6 4 バイトで、ウェイ数が 4 で、インデックス数が 1024 の例を示している。図示された特定のメモリアドレス R0～R3 はそれぞれ対応するウェイの固定アドレス格納部 9 と固定アドレスフラグ格納部 1 0 にデータを設定するために用いられる。例えば、メモリアドレス R0 に 0x20000001 を設定すると、上位 16 ビット「2000」が固定アドレス格納部 9 に格納され、最下位ビット「1」が固定アドレスフラグ格納部 1 0 に設定される。

【 0 0 3 2 】

まず、ステップ S 1 では、0x60000001 をレジスタ rA にロードする。次に、ステップ S 2 では、メモリアドレス R0 にレジスタ rA の内容をストアする。このメモリアドレス R0 にデータを格納することにより、図 1 のウェイ 0 の固定アドレス格納部 9 と固定アドレスフラグ格納部 1 0 にそれぞれ対応する値が格納される。したがって、ステップ S 2 を実行した時点で、固定アドレス格納部 9 には、0x60000001 の PFN である 6000 が格納され、固定アドレスフラグ格納部 1 0 には、最下位ビット「1」が格納される。

【 0 0 3 3 】

これらステップ S 1, S 2 の処理を実行することにより、0x60000000 以降が固定アドレスメモリとして利用されることが指定される。

【 0 0 3 4 】

固定アドレスメモリとして利用する場合、まず、該当アドレスの初期化が行われる。まず、ステップ S 3 では、レジスタ rA に 0x60000000 をロードする。次に、

ステップ S 4 では、レジスタ rA が示すアドレスに、レジスタ r0 が示す初期値をストアする。

【 0 0 3 5 】

次に、ステップ S 5 では、レジスタ rA の値を 4 バイト分インクリメントする。
次に、ステップ S 6 では、繰返し数をカウントするレジスタ Rc の値を 1 だけデクリメントする。次に、ステップ S 7 では、レジスタ Rc が示す値がゼロになるまで、ステップ S 4 ～ S 7 の処理を繰り返す。

【 0 0 3 6 】

上記のステップ S 3 ～ S 7 の処理により、固定アドレスメモリとして使用する範囲を初期化することができる。

【 0 0 3 7 】

このように、本実施形態では、プログラムの任意の指定により、キャッシュメモリ 2 1 をウェイ単位で固定アドレスメモリとして使用できるようにしたため、キャッシュメモリ 2 1 の一部を、メインメモリとのデータの一貫性を要求しない高速メモリとして利用できる。

【 0 0 3 8 】

また、本実施形態では、Look-Aside 型の接続方式と Write-through 書き込み方式とを組み合わせたキャッシュメモリ 2 1 を用いるため、キャッシュメモリ 2 1 の一部を固定アドレスメモリとして用いても、メインメモリとのデータの一貫性が損なわれるおそれはない。

【 0 0 3 9 】

上述したキャッシュメモリ 2 1 は、プロセッサに内蔵されてもよいし、プロセッサとは別個に設けてもよいし、キャッシュメモリ 2 1 の一部（例えば、タグメモリ 2 とキャッシュ制御部 3）のみをプロセッサに内蔵してもよい。

【 0 0 4 0 】

また、図 6 に示した命令列は一例であり、本発明は、RISC 型や CISC 型等の種々のプロセッサに適用可能である。

【 0 0 4 1 】

また、図 1 に示したキャッシュ制御部 3 は、ソフトウェアにより実現してもよ

い。

【 0 0 4 2 】

【発明の効果】

以上詳細に説明したように、本発明によれば、データ格納部のうちプログラマにより指定されたデータ領域に、メインメモリとのデータの一貫性を要求しないデータを格納できるようにしたため、キャッシュヒット／ミスにかかわらず、常に高速アクセス可能なメモリとしてキャッシュメモリを利用できる。

【図面の簡単な説明】

【図 1】

本発明に係るキャッシュメモリ 2 1 の一実施形態の内部構成を示すブロック図。

【図 2】

ダイレクトマップキャッシュを説明する図。

【図 3】

n-Wayセット・アソシアティブ・キャッシュを説明する図。

【図 4】

キャッシュメモリの接続方式を説明する図。

【図 5】

キャッシュメモリの書き込み方式を説明する図。

【図 6】

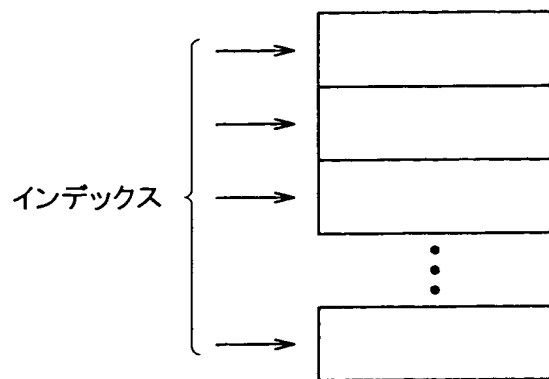
本実施形態のキャッシュメモリ 2 1 の一部を固定アドレスメモリとして使用するプログラムの一例を示す図。

【符号の説明】

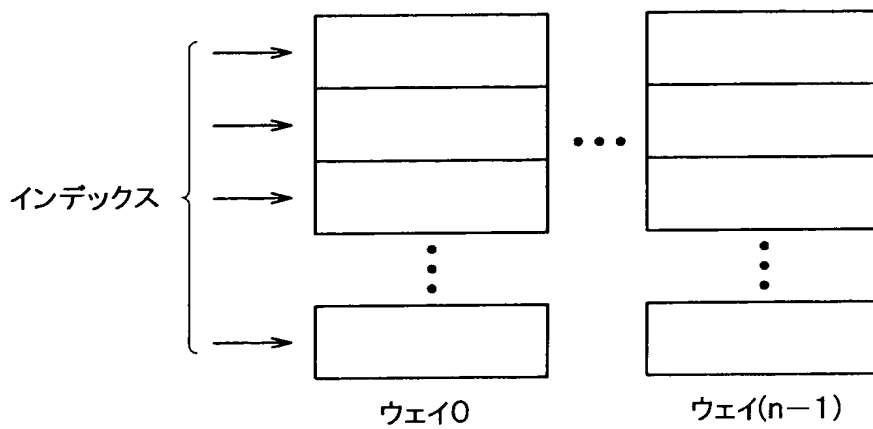
- 1 データメモリ
- 2 タグメモリ
- 3 キャッシュ制御部
- 4 PFN部
- 5 リフィル情報格納部
- 6 ヒット検出器&エンコーダ

- 7 固定アドレスメモリ指定部
- 8 リフィル対象生成器
- 9 固定アドレス格納部
- 1 0 固定アドレスフラグ格納部
- 1 1 マルチプレクサ
- 2 1 キャッシュメモリ

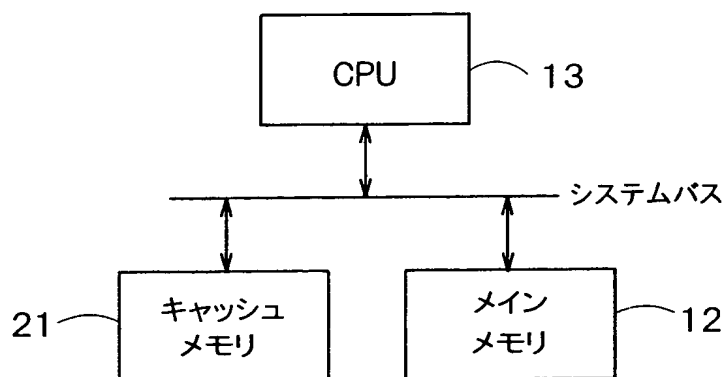
【図2】



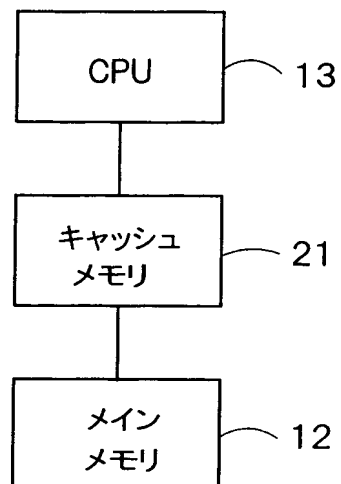
【図3】



【図4】



【図 5】



【図 6】

```

S1;      la  rA, 0x60000001
S2;      sw  rA, R0
S3;      la  rA, 0x60000000
S4;  Loop : sw  r0, rA
S5;      addi rA, rA, 4
S6;      addi Rc, Rc, -1
S7;      bre  Rc, 0; Loop
    
```

【書類名】 要約書

【要約】

【課題】 キャッシュメモリをメインメモリとのデータの一貫性を維持するという目的以外の目的でも利用可能にする。

【解決手段】 本発明に係るキャッシュメモリ 2 1 は、データを格納するデータメモリ 1 と、各データのアドレス情報を格納するタグメモリ 2 と、キャッシュメモリ 2 1 にヒットしたか否かを判定するキャッシュ制御部 3 とを備え、キャッシュ制御部 3 は、ヒット検出器&エンコーダ 6 と、固定アドレスメモリ指定部 7 と、リフィル対象生成器 8 とを有する。プログラマの任意の指定により、キャッシュメモリ 2 1 をウェイ単位で固定アドレスメモリとして使用できるようにしたため、キャッシュメモリ 2 1 の一部を、メインメモリとのデータの一貫性を要求しない高速メモリとして利用できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝